

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-76288
(P2002-76288A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.⁷
H01L 27/08

識別記号
331

F I
H01L 27/08

ターム(参考)
331 B 5 F 0 4 8

審査請求 未請求 請求項の数6 O L (全10頁)

(21) 出願番号 特願2000-257539 (P2000-257539)

(22) 出願日 平成12年8月28日 (2000.8.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 林 敬司

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 永田 正幸

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

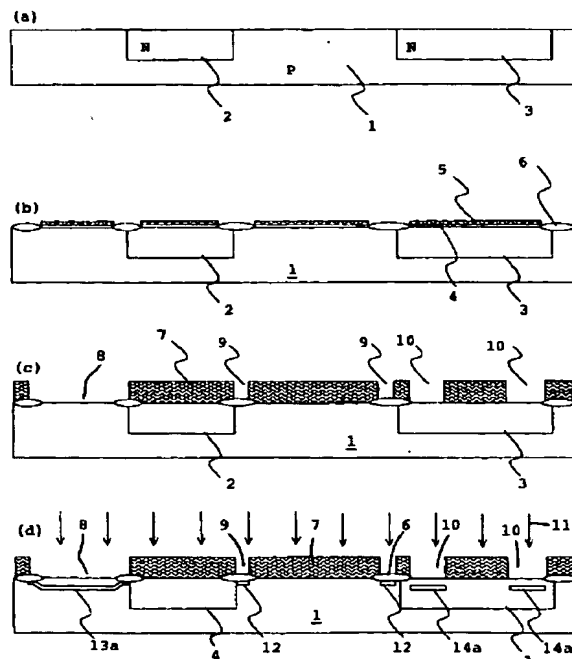
Fターム(参考) 5F048 AA05 AA09 AB03 AC03 AC06
BA01 BC06 BC07 BG12 BH07

(54) 【発明の名称】 半導体装置の製造方法及びフォトリソグラフィ用マスク

(57) 【要約】 (修正有)

【課題】 半導体基板上に、低耐圧MOS Trと、前記低耐圧MOS Trよりも高い電圧で動作しかつドリフト拡散領域を有する高耐圧MOS Trとを備える半導体装置の製造方法を簡略化する。

【解決手段】 P型半導体基板1上にロコス酸化膜6を形成した後、N型の低耐圧MOS Trを形成するための第1領域8、P型の高耐圧MOS Trの素子分離を行うためのロコス酸化膜6が形成された第2領域9及びN型の高耐圧MOS Trのドリフト拡散領域14aを形成するための第3領域10の各領域に開口を有する1つのマスク7を用いて、第18及び第3領域10では基板の深さ方向に注入イオンが2以上の異なる濃度ピークを、第2領域9ではロコス酸化膜6と半導体基板1との界面近傍に注入イオンが濃度ピークを有するようにイオン注入する半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 半導体基板上に、少なくとも1つの低耐圧MOSトランジスタと、前記低耐圧MOSトランジスタよりも高い電圧で動作し、かつドリフト拡散領域を有する少なくとも1つの高耐圧MOSトランジスタとを備える半導体装置の製造方法であって、半導体基板上にロコス酸化膜を形成した後、

第1導電型の低耐圧MOSトランジスタを形成するための第1領域、第2導電型の高耐圧MOSトランジスタの素子分離を行うための前記ロコス酸化膜が形成された第2領域及び第1導電型の高耐圧MOSトランジスタのドリフト拡散領域を形成するための第3領域の各領域に開口を有する1つのマスクを用いて、前記第1及び第3領域においては前記半導体基板の深さ方向に注入イオンが2以上の異なる濃度ピークを有するように、第2領域においては前記ロコス酸化膜と半導体基板との界面近傍に注入イオンが濃度ピークを有するようにイオン注入することを特徴とする半導体装置の製造方法。

【請求項2】 第1及び第3領域における濃度ピークが、少なくとも、ロコス酸化膜と半導体基板との界面近傍と、それよりも浅い位置とに有するように注入イオンする請求項1に記載の方法。

【請求項3】 イオン注入が、加速エネルギーを変えて2回以上行われる請求項1又は2に記載の方法。

【請求項4】 イオン注入が、第2領域のロコス酸化膜と半導体基板との界面近傍に注入イオンが濃度ピークを有する加速エネルギーで1回行われ、該加速エネルギーよりも小さい加速エネルギーで少なくとも1回行われる請求項1～3のいずれか1つに記載の方法。

【請求項5】 イオン注入が、第1領域において、低耐圧MOSトランジスタの閾値を制御するために少なくとも1回、かつ半導体基板の不純物濃度を制御するために少なくとも1回行われる請求項1～4のいずれか1つに記載の方法。

【請求項6】 フォトリソグرافィ用マスクを形成するためのフォトリソグرافィ用マスクであって、マスク基板上に、第1導電型の低耐圧MOSトランジスタを形成するための第1領域、第2導電型であって前記低耐圧MOSトランジスタよりも高い電圧で動作する高耐圧MOSトランジスタの素子分離を行うための第2領域及び第1導電型の高耐圧MOSトランジスタのドリフト拡散領域を形成するための第3領域の各領域に開口形成用パターンを有してなるフォトリソグرافィ用マスク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、より詳細には、ドリフト拡散領域を有するMOSトランジスタとドリフト拡散領域を有さないMOSトランジスタとを同じチップに併せもつ半導体装置の

製造方法に関する。

【0002】

【従来の技術】 近年、携帯電話など携帯情報端末機器の表示部に用いられている液晶パネルは高機能化、低価格化が進み、それに伴って液晶パネルの主要部品である液晶駆動素子の高機能化、低価格化への要求が厳しくなっている。液晶パネルの低価格化は、部品数の削減により行うことができる。また、高機能化のためには、例えば信号処理回路やメモリ回路等の必要な機能を実現するための回路を液晶駆動素子内に混載する方法が採られている。つまり、液晶駆動素子を形成する同一チップ内に、多機能の回路を複数混載し、さらに、チップサイズが大きくならないように液晶駆動素子を微細化して集積度を上げている。液晶駆動素子の他に多機能の回路が複数搭載されたチップは、一般に、通常の信号処理等を行うために低電圧を印加する低耐圧部と、液晶を駆動する等のために高電圧を印加して動作させる高耐圧MOSトランジスタ等が形成された高耐圧部とから構成されている。

【0003】 低耐圧部では、微細化に伴うショートチャネル効果を抑制するため、トランジスタを形成するウェルの不純物濃度を比較的高く設定することが必要である。一方、高耐圧部では、十分な耐圧を確保するため、ウェルの不純物濃度を比較的低く設定する必要がある。また、特に高耐圧MOSトランジスタでは、通常、トランジスタに印加される高い電圧を緩和してトランジスタ自体の破壊を防止するために、ドリフト拡散領域が形成されている。

【0004】 したがって、低耐圧部及び高耐圧部を備えるチップの製造においては、低耐圧部への高濃度の不純物ドーピング、高耐圧部への比較的低濃度の不純物ドーピング、さらに、高耐圧MOSトランジスタのドリフト拡散領域のための不純物ドーピングのために、それぞれマスクを形成し、そのマスクを用いて別々にイオン注入することが必要である。また、これらの不純物ドーピングの他に、素子分離領域を形成するためのイオン注入も必要であり、さらにマスク工程を行う必要があり、製造工程が煩雑化するという問題がある。これに対して、製造工程を簡略化するために、高耐圧用MOSトランジスタのドリフト拡散領域と素子分離のための領域とを1枚のマスクを用いてイオン注入する技術が提案されている（例えば、特開平1-157566号公報）。

【0005】 この方法によれば、まず、図6(a)に示したように、予めNウェルが形成されたP型シリコン基板30上全面にシリコン酸化膜31及びシリコン窒化膜32を形成し、ロコス酸化膜を形成する領域のシリコン窒化膜32を除去する。得られたシリコン基板30上全面にレジストを塗布し、このレジストに、高耐圧N型トランジスタ(HV-NTr)形成領域中素子分離領域となる領域34、高耐圧P型トランジスタ(HV-PTTr)形成領域中ドリフト拡散領域となる領域35を同時

に開口し、レジストパターン33を形成する。

【0006】得られたレジストパターン33を用いて、全面にボロンイオンを注入して、P型拡散層36a、36bを形成する。なお、高耐圧P型トランジスタ形成領域のドリフト拡散領域となる領域35においては、ロコス酸化膜形成用のシリコン窒化膜32/シリコン酸化膜31としてボロンがシリコン基板30表面にイオン注入されることとなる。その後、図6(b)に示したように、ロコス酸化膜37を形成する。これにより、高耐圧N型トランジスタ形成領域の素子分離をする領域におけるロコス酸化膜34とシリコン基板30との界面付近に、ボロン濃度が比較的高いP型拡散層36aが配置され、素子分離が可能となる。また、高耐圧P型トランジスタ形成領域の表面付近に、P型拡散層36bからなるドリフト拡散領域が配置されることとなる。

【0007】続いて、得られたシリコン基板30上に、高耐圧N型トランジスタのドリフト拡散領域42、ゲート酸化膜38、ゲート電極39を形成し、ソース/ドレイン領域となるN⁺拡散層40、P⁺拡散層41をそれぞれ形成することにより、ドリフト拡散領域を有する高耐圧P型トランジスタHV-PT_r及び高耐圧N型トランジスタHV-NT_rを完成する。

【0008】

【発明が解決しようとする課題】このような製造方法では、高耐圧N型トランジスタの素子分離領域におけるP型拡散層36aと高耐圧P型トランジスタのP型拡散層36bからなるドリフト拡散領域とを1枚のレジストパターンを用いて同時に形成することができる。しかし、ロコス酸化の前にイオン注入を行うため、ロコス酸化のバラツキ等の影響でイオン注入された不純物のロコス酸化膜中への偏析量に変化し、素子分離領域での耐圧がばらついたり、ドリフト拡散領域のシート抵抗及びドリフト拡散領域の実効寸法のバラツキが大きくなり、このため、得られたトランジスタの耐圧にばらつきが生じるという問題がある。

【0009】この対策としては、ロコス酸化後にロコス酸化膜下のシリコン基板にイオン注入することも考えられる。しかしその場合には、ロコス酸化膜を貫通させる加速エネルギーでイオン注入することが必要となるため、高耐圧P型トランジスタにおけるP型拡散層36bからなるドリフト拡散領域の濃度ピークが、図7に示したように、後に形成されるソース/ドレイン領域であるP⁺拡散層41の濃度ピークと離れ、両領域が分離されてしまう。その結果、N型ウェルとP⁺拡散層41とが接触するドレイン近傍の部位Aで電界緩和の効果が得られず、ジャンクション破壊電圧が低下し、トランジスタを破壊から守る役割を果たさないこととなる。

【0010】また、上記方法を採用しても、低耐圧部（図示せず）のショートチャネル効果抑制のために不純物濃度を高くし、さらに高耐圧部の耐圧確保のために、

ジャンクション深さを比較的深く、かつ不純物濃度を比較的低くしなければならず、さらに2回のフォトリソグラフィ工程が必要となる。以上のように、トランジスタ及び回路等の特性を劣化させることなく、フォトリソグラフィ工程を削除して製造工程を簡略化することは実現されていないのが現状である。

【0011】本発明は上記課題を鑑みなされたものであり、トランジスタ及び回路等の特性を劣化させず、ドリフト拡散領域を有するMOSトランジスタ（高耐圧MOSトランジスタ）とドリフト拡散領域を有さないMOSトランジスタ（低耐圧MOSトランジスタ）とを同じチップに併せもつ半導体装置を、簡略化した製造方法により形成することができる半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明によれば、半導体基板上に、少なくとも1つの低耐圧MOSトランジスタと、前記低耐圧MOSトランジスタよりも高い電圧で動作し、かつドリフト拡散領域を有する少なくとも1つの高耐圧MOSトランジスタとを備える半導体装置の製造方法であって、半導体基板上にロコス酸化膜を形成した後、第1導電型の低耐圧MOSトランジスタを形成するための第1領域、第2導電型の高耐圧MOSトランジスタの素子分離を行うための前記ロコス酸化膜が形成された第2領域及び第1導電型の高耐圧MOSトランジスタのドリフト拡散領域を形成するための第3領域の各領域に開口を有する1つのマスクを用いて、前記第1及び第3領域においては前記半導体基板の深さ方向に注入イオンが2以上の異なる濃度ピークを有するように、第2領域においては前記ロコス酸化膜と半導体基板との界面近傍に注入イオンが濃度ピークを有するようにイオン注入する半導体装置の製造方法が提供される。

【0013】また、本発明によれば、フォトリソグラフィに開口を形成するためのフォトリソグラフィ用マスクであって、マスク基板上に、第1導電型の低耐圧MOSトランジスタを形成するための第1領域、第2導電型であって前記低耐圧MOSトランジスタよりも高い電圧で動作する高耐圧MOSトランジスタの素子分離を行うための第2領域及び第1導電型の高耐圧MOSトランジスタのドリフト拡散領域を形成するための第3領域の各領域に開口形成用パターンを有してなるフォトリソグラフィ用マスクが提供される。

【0014】

【発明の実施の形態】本発明は、半導体基板上に、少なくとも1つの低耐圧MOSトランジスタと、前記低耐圧MOSトランジスタよりも高い電圧で動作し、かつドリフト拡散領域を有する少なくとも1つの高耐圧MOSトランジスタとを備える半導体装置の製造方法である。

【0015】本発明において、低耐圧MOSトランジスタとは、信号処理回路、メモリ回路等の比較的動作電圧

10

20

30

40

50

の低い回路を構成するトランジスタであり、よって、この程度の電圧の印加に対して耐圧を確保することができるトランジスタを意味する。また、高耐圧MOSトランジスタとは、上記の低耐圧MOSトランジスタよりも動作電圧が高い回路を構成するトランジスタであればよく、よって、この程度の電圧の印加に対して耐圧を確保することができるトランジスタを意味する。

【0016】まず、半導体基板上にロコス酸化膜を形成する。ここで、半導体基板としては、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体が挙げられる。また、バルク半導体による基板であってもよいし、SOI、SOS等の構造を有する基板であってもよい。なかでもシリコン基板が好ましい。半導体基板は、予め、P型又はN型の不純物が所定の濃度でドーピングされていることが好ましい。これにより、トランジスタの種類によっては、基板の不純物濃度をそのままトランジスタを形成するウェルの不純物濃度として用いることができる。例えば、高耐圧N型トランジスタの耐圧確保に必要な不純物濃度 ($1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度) が挙げられる。さらに、半導体基板には、他の種類のトランジスタ、例えば、高耐圧P型トランジスタ、高耐圧N型トランジスタ等の耐圧確保に必要なN型又はP型の不純物がドーピングされたウェルが1又は複数個形成されていてもよい。ウェルの不純物濃度は、形成するトランジスタの種類等により適宜調整することができる。

【0017】半導体基板上にロコス酸化膜を形成する方法としては、通常、ロコス酸化法を用いることができる。例えば、まず、シリコン酸化膜及びシリコン窒化膜を、それぞれ膜厚10～40nm程度、60～120nm程度で形成する。シリコン酸化膜は熱酸化法、CVD法等により形成することができ、シリコン窒化膜は、CVD法、プラズマCVD法等により形成することができる。次に、ロコス酸化膜を形成しようとする領域に存在するシリコン窒化膜を除去する。除去する方法としては、フォトリソグラフィ及びエッチング工程により所定形状のマスクパターンを形成し、これを用いてRIE等の異方性エッチングをする方法が挙げられる。続いて、残存するシリコン窒化膜をマスクとして用いて、熱酸化することにより、膜厚200nm～400nm程度のロコス酸化膜を形成することができる。熱酸化は、公知の条件を適宜選択して行うことができる。なお、ロコス酸化膜は、位置、形状、数等は特に限定されず、後述するように、少なくとも第2導電型の高耐圧MOSトランジスタの素子分離を行うための領域である第2領域に形成されればよい。次に、第1領域、第2領域及び第3領域に開口を有するマスクを用いて、イオン注入を行う。

【0018】ここで、第1領域とは、第1導電型(P型

又はN型)の低耐圧MOSトランジスタを形成するための領域を意味する。第2領域とは、第2導電型(N型又はP型)の高耐圧MOSトランジスタの素子分離を行うための領域であり、先の工程によりロコス酸化膜が形成された領域を意味する。第3領域とは、第1導電型の高耐圧MOSトランジスタのドリフト拡散領域を形成するための領域を意味する。これらの領域は、得ようとする半導体装置の機能、特性等に応じて、半導体基板上にどのような形状、大きさ、位置に形成されていてもよい。

【0019】これら第1～3領域に開口を有するマスクを形成する方法としては、得られた半導体基板上にレジストを塗布し、これらの第1～3領域に対応する領域のすべてに開口形成用パターンが形成されたマスク基板(フォトリソグラフィ用マスク)をマスクとして用いて、所望の波長の光又は電磁波を照射することによりレジストを感光させ、現像することにより、1回のフォトリソグラフィ工程により得ることができる。ここで使用されるレジストはネガ型、ポジ型又はその他感光性のものであればいずれのレジストでもよく、当該分野で通常使用されているものを用いることができる。また、この際のレジストの膜厚は特に限定されるものではなく、照射光の波長等に応じて適宜設定することができる。さらに、レジストを感光させるための光又は電磁波の波長も特に限定されるものではなく、X線、g線、i線等種々のものを使用することができる。このようにして半導体基板上に形成されたレジストパターンをマスクとして用いてイオン注入を行う。

【0020】イオン注入は、上記のマスクを用いて得られた半導体基板に対してはほぼ全面に行い、イオン注入後に第1～3領域が所定の機能を発揮するように行う。そのためには、例えば、第1及び第3領域においては、半導体基板の深さ方向に注入イオンが2以上の異なる濃度ピークを有するように、第2領域においては、ロコス酸化膜と半導体基板との界面近傍に注入イオンが濃度ピークを有するようにイオン注入する。これにより、第1領域においては、低耐圧MOSトランジスタを形成することができる。ショートチャネル効果を十分抑制することができる。第2領域においては、素子分離を確実にすることができる。第3領域においては、高耐圧MOSトランジスタにおけるドリフト拡散領域として十分な機能を発揮できる。

【0021】イオン注入は、1回のみ行ってもよいが、2回以上の複数回行うことが好ましい。基板の深さ方向に注入イオンが2以上の異なる濃度ピークを有するようにイオン注入する方法としては、例えば、イオン注入の加速エネルギーを変化させずに複数のイオン種を複数回にわたってイオン注入する方法、加速エネルギーを変化させずに異なるイオン種を混合して1回イオン注入する方法、同じ又は異なるイオン種を用いて、加速エネルギーを連続的に変化させて1回イオン注入する方法又は加速

エネルギーを変化させて複数回イオン注入する方法等が挙げられる。なかでも、同じ又は異なるイオン種を用い、加速エネルギーを変えて、2回、3回程度イオン注入することが好ましい。この際のイオン注入の加速エネルギー、ドーズ、イオン種等は特に限定されるものではなく、上述の機能を発揮することができるように適宜調整することが好ましい。

【0022】さらに具体的には、イオン注入は、第2領域において、ロコス酸化膜と半導体基板との界面近傍に注入イオンが濃度ピークを有するように、加速エネルギー及びイオン種を選択して1回行い、さらに、第1及び第3領域において、それよりも浅い位置に濃度ピークを有するように加速エネルギー及びイオン種を選択して1回以上行うことが好ましい。これにより、第2領域においては、ロコス酸化膜と半導体基板との界面付近にのみ不純物が導入され、それ以外の不純物は、ロコス酸化膜内にとどまることとなる。第1領域においては、基板の深さ方向において、適当な不純物濃度を有するウェルを得ることができる。また、加速エネルギー、イオン種、ドーズを調整することにより、少なくとも1回のイオン注入で低耐圧MOSトランジスタの閾値を制御することができるとともに、少なくとも1回のイオン注入でウェルの不純物濃度を調整することができる。第3領域においては、高耐圧MOSトランジスタにおけるドリフト拡散領域として適当な深さ、不純物濃度等を有した不純物拡散領域を形成することができる。

【0023】本発明においては、上記工程の後、MOSトランジスタを形成するための、公知の方法によりゲート絶縁膜、ゲート電極、ソース/ドレイン、層間絶縁膜、コンタクトホール、コンタクトプラグ、配線層等を形成する。また、必要に応じて、熱処理、絶縁膜の形成、サイドウォールスペーサの形成、イオン注入等を行ってもよい。

【0024】以下に本発明の半導体装置の製造方法の一実施例を図面に基いて説明する。まず、図1(a)に示したように、高耐圧N型トランジスタを形成するのに適切なボロン濃度($1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$)に設定されたP型のシリコン基板1に、低耐圧P型トランジスタを形成するのに適切なリン濃度($1 \times 10^{17} \sim 2 \times 10^{17} \text{ cm}^{-3}$)のN型ウェル2と、高耐圧P型トランジスタの耐圧確保に必要なリン濃度($1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$)のN型ウェル3を通常の方法で形成する。次いで、ロコス酸化を行うためのシリコン酸化膜4(例えば膜厚14nm)及びSiN膜5(例えば膜厚120nm)を形成し、所定の領域のシリコン酸化膜4とSiN膜5を除去する。その後、図1(b)に示したように、ロコス酸化を行い、膜厚200nm~400nmのロコス酸化膜6を形成する。

【0025】次に、図1(c)に示したように、ロコス酸化膜6を形成した領域以外に残存するSiN膜5を除

去し、得られたシリコン基板1上全面にフォトレジスト7を塗布し、このフォトレジスト7に、1回のフォトリソグラフィ工程で、低耐圧N型トランジスタを形成する第1領域8と、高耐圧N型トランジスタの素子分離を行う第2領域9と、高耐圧P型トランジスタのドリフト拡散層を形成する第3の領域10とに対応する開口を形成する。なお、第1領域8、第2領域9及び第3領域10を決定するために使用するフォトマスクパターンは、同一のフォトマスク上に形成されている。

【0026】続いて、図1(d)に示したように、フォトレジスト7をマスクとして用いて、第1のイオン注入としてボロン11を注入する。この際のイオン注入は、第2領域9のロコス酸化膜6とシリコン基板1との界面付近にボロン濃度のピークがくるよう設定する。例えば、70~150keVの加速エネルギー、 $4 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ のドーズで行う。これにより高耐圧N型トランジスタの素子分離のためのP型拡散層12が形成される。また、これと同時に、第1領域8及び第3領域10に、それぞれP型拡散層13a、14aが形成される。但し、これらの領域では、ロコス酸化膜が存在しないため、注入したボロンのピークはシリコン基板1表面から200nm~400nmの深さにある。

【0027】次いで、図2(e)に示したように、同じフォトレジスト7をマスクとして用いて、第2のイオン注入としてボロン11を注入する。この際のイオン注入は、第2のイオン注入のボロン濃度のピークが、第1のイオン注入のボロン濃度のピークよりも、シリコン基板1の浅い位置になるように設定する。例えば、40~80keVの加速エネルギー、 $2 \times 10^{12} \sim 8 \times 10^{12} \text{ cm}^{-2}$ のドーズで行う。これにより第1領域8及び第3領域10に、P型拡散層13a、14aよりシリコン基板1の浅い位置に、P型拡散層13b、14bが形成される。

【0028】さらに、図2(f)に示したように、同じフォトレジスト7をマスクとして用いて、第3のイオン注入としてボロン11を注入する。この際のイオン注入は、第3のイオン注入のボロン濃度のピークが、第2のイオン注入のボロン濃度のピークよりも、シリコン基板1の浅い位置になるように設定する。例えば、5~30keVの加速エネルギー、 $2 \times 10^{12} \sim 8 \times 10^{12} \text{ cm}^{-2}$ のドーズで行う。これにより第1領域8及び第3領域10に、P型拡散層13b、14bよりシリコン基板1の浅い位置に、P型拡散層13c、14cが形成される。その後、フォトレジスト7を除去し、注入されたボロンを活性化させるために窒素雰囲気中10~30分間、800~900℃でアニールを行う。

【0029】これにより、第1領域8では、図3に示すように、第1のイオン注入、第2のイオン注入及び第3のイオン注入によって、シリコン基板1の深さ方向にそれぞれ異なるイオン濃度ピークを有して、比較的高濃度

のボロンが注入される。つまり、第1イオン注入と第2のイオン注入とで低耐圧用P型基板不純物濃度の制御を行うことができ、第3のイオン注入で低耐圧用N型MOSトランジスタの閾値制御を行うことができる。よって、最終的に、破線で示したように、シリコン基板1の当初ドーピングされていたボロンとP型拡散層13a、13b、13cとの合成されたボロンとにより、 $1 \times 10^{17} \sim 2 \times 10^{17} \text{ cm}^{-3}$ とほぼ均一な不純物濃度を有し、低耐圧トランジスタに要求されるショートチャネル効果を抑制することができる適切な不純物濃度を有するPウェル13を形成することができる。

【0030】また、第2領域9では、図4に示したように、ロコス酸化膜6とシリコン基板1との界面付近にボロンの注入濃度のピークが位置するP型拡散層12を形成することができる。よって、所望のN型トランジスタの素子分離の十分な耐圧を得ることができる。しかも、ロコス酸化後に、イオン注入を行っているため、ロコス酸化膜のバラツキ等の影響による不純物の酸化膜への偏析量のバラツキは生じず、耐圧特性がばらつくことはない。

【0031】さらに、第3領域10では、図5に示したように、第1のイオン注入、第2のイオン注入及び第3のイオン注入によって、シリコン基板1の深さ方向にそれぞれ異なるイオン濃度ピークを有して、比較的高濃度のボロンが注入され、最終的に、後述するソース/ドレイン領域であるP⁺拡散層19を完全に囲むドリフト拡散領域14を形成することができ、所望の耐圧を得ることができる。その後、別のフォトレジスト（図示せず）を形成し、上記と同様に3回のイオン注入を行い、高耐圧N型トランジスタ用のドリフト拡散領域20を形成する。

【0032】次いで、図2（g）に示したように、低耐圧用ゲート酸化膜15、高耐圧用ゲート酸化膜16、ゲート電極17、ソース/ドレイン領域となるN⁺拡散層18、P⁺拡散層19をそれぞれ形成する。なお、この際、第3領域10のP⁺拡散層19は、ドリフト拡散領域14に完全に覆われるようにする。これにより、高耐圧P型トランジスタのドレイン近傍において10～30Vの耐圧を付与するドリフト拡散領域として機能させることができる。

【0033】続いて、図2（h）に示したように、CVD法により層間絶縁膜21を形成し、コンタクトホール、コンタクト22、メタル配線23を形成することにより、低耐圧N型トランジスタLV-NTr、低耐圧P型トランジスタLV-PTr、高耐圧N型トランジスタHV-NTr、高耐圧P型トランジスタHV-PTrを得る。

【0034】

【発明の効果】本発明によれば、ロコス酸化膜を形成した後、低耐圧MOSトランジスタを形成するための第

1領域と、素子分離を行うための第2領域と、高耐圧MOSトランジスタのドリフト拡散領域を形成するための第3領域とに開口を有するマスクを用いて、イオン注入することによって、フォトリソグラフィ工程によるマスク形成の工程を1回に削減することができ、製造工程の簡略化、ひいては製造コストの低減を図ることが可能となる。

【0035】しかも、第1及び第3領域における濃度ピークが、少なくとも、ロコス酸化膜と半導体基板との界面近傍と、それよりも浅い位置とに有するように注入イオンする場合、イオン注入を、第2領域においてはロコス酸化膜と半導体基板との界面近傍に注入イオンが濃度ピークを有する加速エネルギーで1回行い、この加速エネルギーよりも小さい加速エネルギーで少なくとも1回行う場合には、第2領域には、ロコス酸化膜により、不要な不純物の導入を防止することができるとともに、第1領域においては、低耐圧トランジスタの閾値制御や低耐圧トランジスタに要求されるショートチャネル抑制効果を得ることができる不純物濃度に、適切に調整することができ、さらに、第3領域には、高耐圧MOSトランジスタのドリフト拡散領域として電界緩和効果を十分に確保することができ、より確実な高耐圧を図ることが可能となる。

【0036】また、イオン注入を、加速エネルギーを変えて2回以上行う場合、イオン注入を、第1領域において、低耐圧MOSトランジスタの閾値を制御するために少なくとも1回、かつ半導体基板の不純物濃度を制御するために少なくとも1回行う場合には、簡便かつ容易に、所望の不純物プロファイルを形成することができ、さらなる製造工程の簡略化、製造コストの低減を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例を示す概略断面製造工程図である。

【図2】本発明の半導体装置の製造方法の一実施例を示す概略断面製造工程図である。

【図3】第1領域の深さ方向の不純物のプロファイルを示すグラフである。

【図4】第2領域の深さ方向の不純物のプロファイルを示すグラフである。

【図5】第3領域の深さ方向の不純物のプロファイルを示すグラフである。

【図6】従来の半導体装置の製造方法を示す概略断面製造工程図である。

【図7】図6における高耐圧P型トランジスタのドリフト拡散領域の深さ方向の不純物のプロファイルを示すグラフである。

【符号の説明】

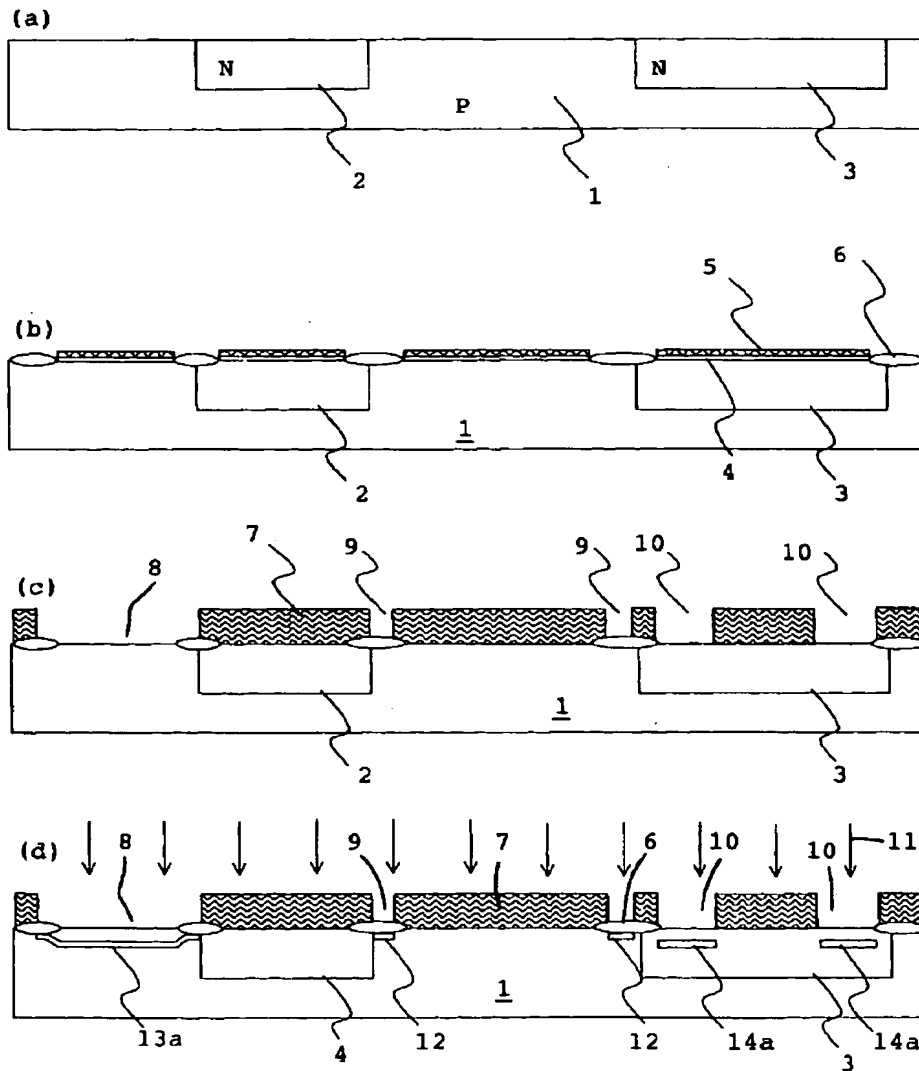
- 1 シリコン基板
- 2 N型ウェル

- 3 N型ウェル
- 4 シリコン酸化膜
- 5 SiN膜
- 6 ロコス酸化膜
- 7 フォトレジスト
- 8 第1領域
- 9 第2領域
- 10 第3領域
- 11 ボロン
- 12 P型拡散層
- 13 Pウェル
- 14、20 ドリフト拡散領域
- 13a、13b、13c、14a、14b、14c P*

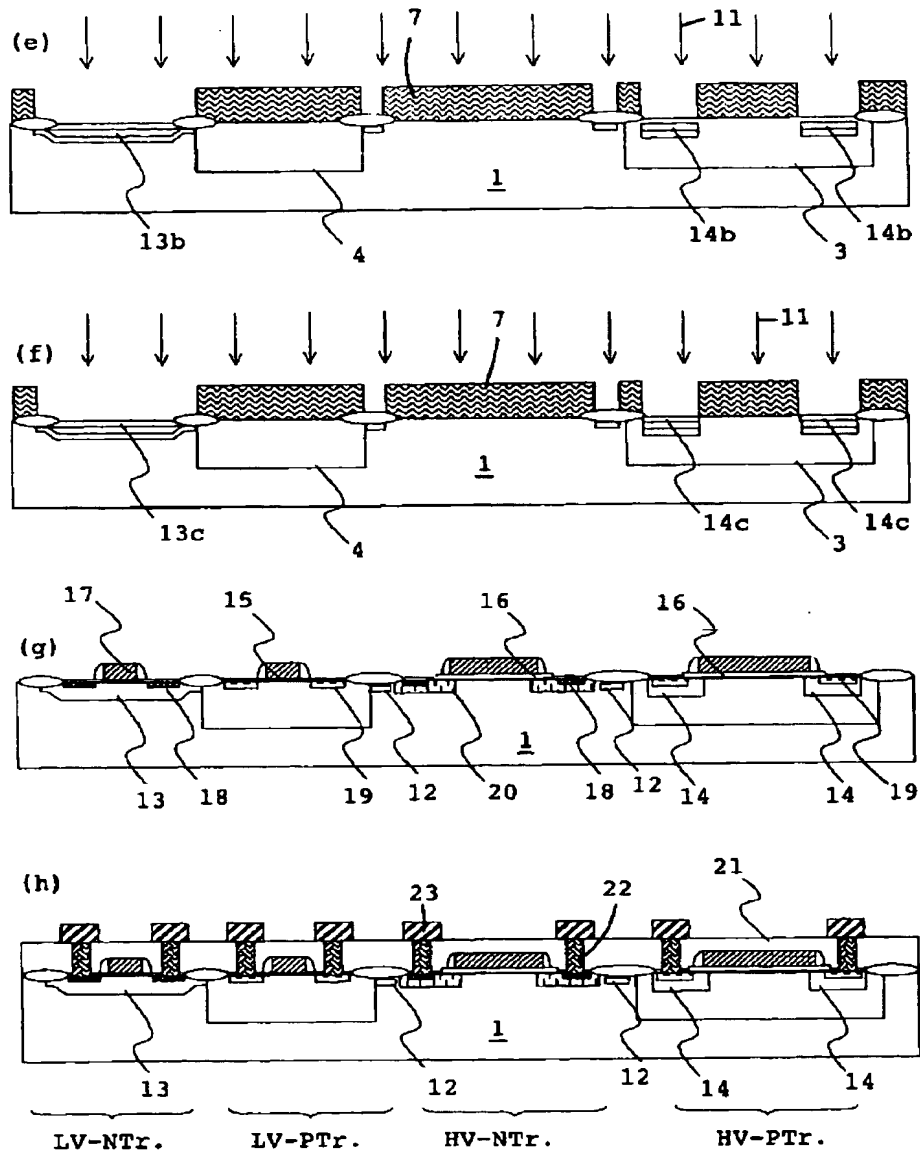
* 型拡散層

- 15 低耐圧用ゲート酸化膜
- 16 高耐圧用ゲート酸化膜
- 17 ゲート電極
- 18 N⁺拡散層
- 19 P⁺拡散層
- 21 層間絶縁膜
- 22 コンタクト
- 23 メタル配線
- 10 LV-NTr 低耐圧N型トランジスタ
- LV-PTr 低耐圧P型トランジスタ
- HV-NTr 高耐圧N型トランジスタ
- HV-PTr 高耐圧P型トランジスタ

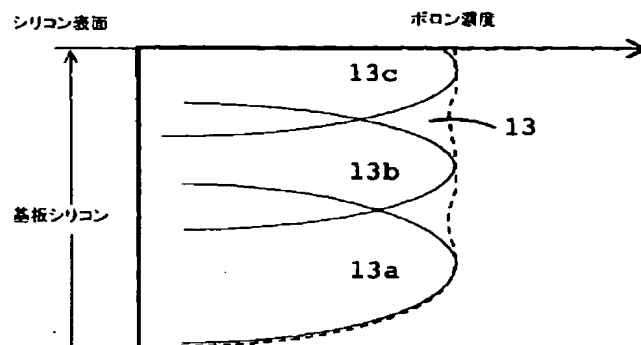
【図1】



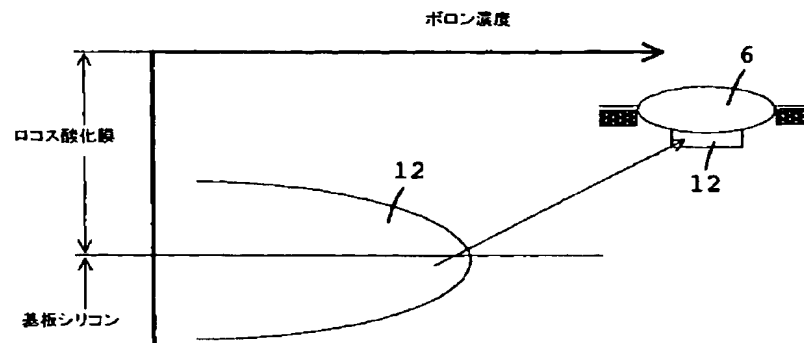
【図2】



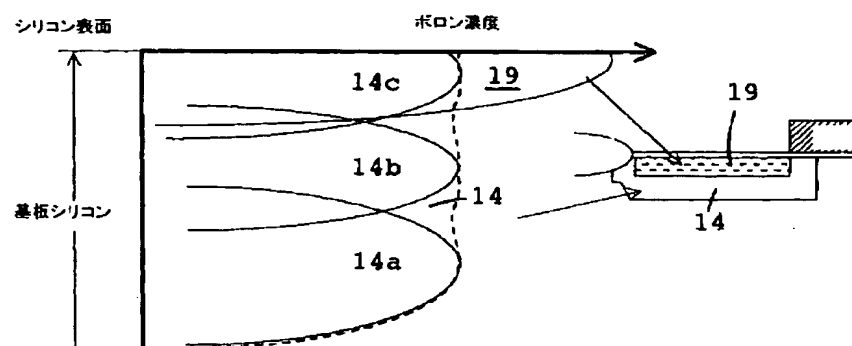
【図3】



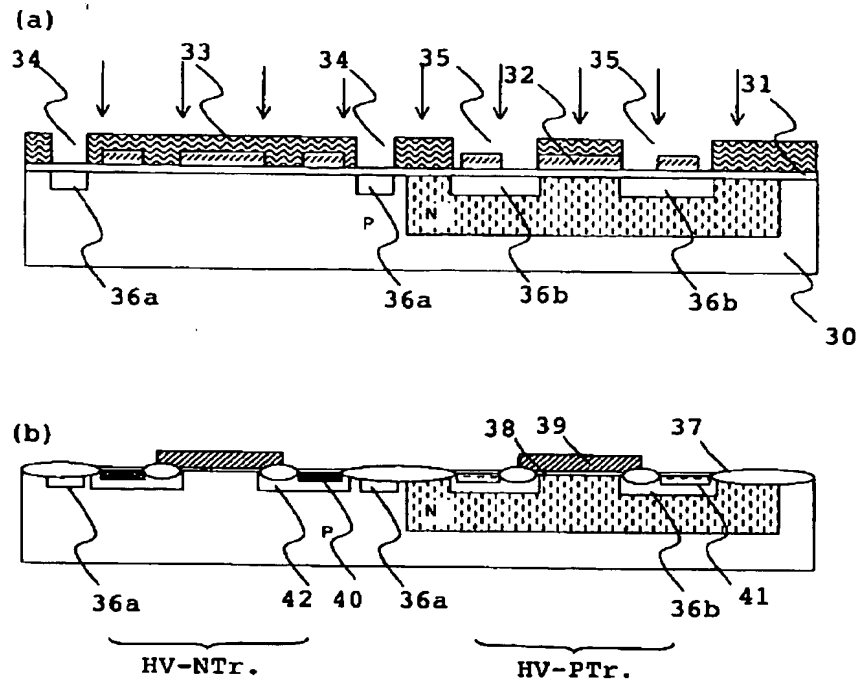
【図4】



【図5】



【図6】



【図7】

